

Japanese Patent Laid-open No. HEI10-107168 A

Publication date : April 24, 1998

Applicant : SANYO ELECTRIC CO LTD

Title : SEMICONDUCTOR INTEGRATED CIRCUIT

5

(57) ABSTRACT

[PROBLEMS]

To solve a problem of a parasitic transistor caused when a complementary pair is formed with an NPN transistor and a PchMOSFET by  
10 providing a highly concentrated layer at a lower part of the PchMOSFET.

[SOLVING MEANS]

A collector deriving region 38 of an NPN transistor 2 is connected to an output terminal 4. A P channel MOS 2 is formed on another island region 35, its back gate 46 is surrounded with a P+ deriving region 40 and a P+  
15 buried region 39, and surrounded further with an N+ deriving region 41 and an N+ buried layer 33. A drain region 45 and the P+ deriving region 40, and the N+ deriving region 41 are connected to the output terminal 4, or, the P+ deriving region 40 is connected to an ground potential (GND) and the N+ deriving region 41 to a power source potential (VCC). Thereby, even if an  
20 electric potential of the output terminal 4 exhibits above VCC or below GND, the problem caused by a parasitic transistor is prevented.

[0005]

[Problems to be solved by the present invention]

25 However, it is known that there occurs a reverse electromotive force in



a coil load such as a motor, associated with rotation/stop of the motor and the potential of an output terminal 4 becomes higher than a VCC potential or lower than a GND potential. For this reason, when the potential of an output terminal 4 is developed higher than a VCC potential, a parasitic PNP transistor 22 operates in which a drain region 21 is an emitter, an island region 15 of the P channel MOS 2 is a base and a substrate 11 is a collector, or when the potential of an output terminal 4 becomes lower than a GND potential, a parasitic NPN transistor 23 operates in which an island region 15 of the NPN transistor is an emitter, a substrate 11 (separating region 14) is a base and an island region 15 of the P channel MOS 2 is a collector, which cause a problem of malfunction in an IC or triggering of a parasitic thyristor.

[0006]

[Means for solving the problems]

The present invention is carried out in view of the foregoing.

According to the present invention, it is possible to reduce reverse  $\beta$  of a parasitic transistor and to prevent parasitic influence from appearing by surrounding a back gate portion of a P channel MOS with a one-conductive-type buried layer and a spreading region, and further with a reverse-conductive-type buried layer and a spreading region.

[0007]

The parasitic influence is also prevented by using a potential connection providing a parasitic transistor in which there does not occur current leakage in the substrate.

[0008]

[Embodiments of the present invention]



Hereinafter, the present invention will be described in detail with reference to the figures. Fig. 1 is a cross-sectional view for describing a first embodiment of the present invention. In Fig. 1, 31 denotes a P-type silicon semiconductor substrate, 32 denotes an N-type epitaxial layer formed on the substrate 31 by vapor deposition, 33 denotes an N+-type buried layer formed buried in a surface of the substrate 31, 34 denotes a P+-type separating region which runs from a surface of the epitaxial layer 32 to the substrate 31 to separate the epitaxial layer 32 into a plurality of island regions 35, 36 denotes a P-type base region of the NPN transistor 1 formed on a surface of an island region 35, 37 denotes an N+-type emitter region formed on a surface of the base region 36, 38 denotes an N+ collector deriving region which runs from the surface of the island region 35 to the N+ buried layer 33, 39 denotes an P+-type buried layer formed superposed on the N+ buried layer, 40 denotes a P+ deriving region which runs from the surface of the island region 35 to the P+ buried layer 39, 41 denotes an N+ deriving region which runs from the surface of the island region 35 to the N+ buried layer 33, 42 denotes a gate electrode of a P channel MOS 2, 43 denotes a back gate of an N-type layer surrounded with the P+ buried layer 39 and the N+ deriving region 41, 44 denotes a P-type source region formed extended to the side of the gate electrode 42, 45 denotes a P drain region formed extended to the side of the gate electrode 42, 46 denotes an N+ contact region for back gate. The P+ deriving region 40 fully surrounds a P channel MOS2 to separate therefrom the P+ buried region as well as the back gate 43 electrically. Further, the P+ deriving region 40 is surrounded with the N+ deriving region 41.

[0009]



Following a circuit diagram of Fig. 2, by means of an aluminum electrode wiring on the IC, the emitter region 37 of the NPN transistor 1 is connected to a ground potential GND, and power supply voltage VCC is applied to the back gate contact region 46 of P channel MOS2 and the source region 44. The collector deriving region 38 of the NPN transistor 1 is connected to an output terminal 4 (bonding pad) on the IC, while the drain region 45 of P channel MOS 2, the P+-type deriving region 40 and the N+-type deriving region 41 are connected to the output terminal 4. The output terminal 4 is connected to a connection lead outside of the package and then to a coil load 3 at the set side. The ground electrode GND is applied to the substrate 31 and the separating region 34.

[0010]

In the parasitic transistor 22 as described in Fig. 3, the separating region 34 is a base, and the back gate 43 is a collector. In this configuration, the P+ deriving region 40 and the N+ deriving region 41 are positioned between the collector and the base. These P+ deriving region 40 and the N+ deriving region 41 are connected to the output terminal 4 to be at the same potential as the collector deriving region 35, thereby preventing a parasitic transistor 22 from occurring.

[0011]

In addition, in the parasitic transistor 23 as described in Fig. 3, the back gate 43 is a base and the substrate 31 is a collector. In this configuration, the P+ buried layer 39 and the N+ buried layer 33 ("the P+ deriving region 40 and the N+ deriving region 41" when seen transversely) are positioned between the collector and the base. These P+ buried layer 39





and the N+ buried layer 33 are connected to the output terminal 4 to be at the same potential as the drain region 45, thereby preventing a parasitic transistor 22 from occurring.

[0012]

5           In addition, a PN junction between the back gate 43 and the P+ deriving region 40/P+ buried layer 39 is connected as a protective diode 46 to between the VCC potential and the output terminal 4. The PN junction of the protective diode 46 corresponds to a PN junction of small voltage forward rising  $V_f$  by a highly-concentrated anode region which allows the protective  
10       diode 46 to have characteristics enough to be embedded in the IC instead of a conventional external protective diode.

[0013]

Fig. 2 is a cross-sectional view for describing a second embodiment of the present invention. In Fig. 2, the same parts as those in the first  
15       embodiment are designated by similar numerals and description thereof is omitted. While the first embodiment utilizes potential connection such as prevents a parasitic transistor from occurring, in the second embodiment, a parasitic transistor not associated with the substrate 31 is accepted so as to cancel out energy of reverse electromotive force.

20       [0014]

More specifically, a ground potential (GND) is applied to the P+ deriving region 40 and a power supply potential (VCC) to the N+ deriving region 41. In such a configuration, first, when the output terminal 4 exhibits a lower potential than the ground potential (GND) there occurs a parasitic  
25       transistor in which the island region 35 of the NPN transistor 1 is an emitter,



the separating region 34 is a base and an island region 35 forming the P channel MOS 2 is a collector, and current is allowed to pass from the N+ deriving region 41 to the collector deriving region 38 along the arrow 50 in Fig.

2. With this parasitic current, energy of reverse electromotive force of the inductive load L is absorbed. On the contrary, when the output terminal 4 exhibits a higher potential than the power supply potential (VCC) there occurs a parasitic transistor in which the P+ deriving region is a collector, the back gate 43 is a base and the drain region 45 is an emitter, and current is allowed to pass along the arrow 51 in Fig. 2. With this parasitic current, energy of reverse electromotive force of the inductive load L is absorbed. Here, in the integrated circuit, the switching speed of a PNP or NPN transistor is higher than that of PN junction diode transistor.

[0015]

Accordingly, since in the second embodiment, the inductive load L is returned to be in a stable state by current of the parasitic transistor, as compared with that in the first embodiment, there is a merit of enhancing the switching speed of the inductive load. At this time, since parasitic current is actively passed from the P channel MOS 2 to the NPN transistor 1, a design technique may be adopted such that blocks of P channel MOS 2 are arranged relative to a block of small signal circuit as shown in Fig. 3 and then, blocks of NPN transistor 1 are arranged next to the P channel MOS blocks.

[0016]

[Effects of the Invention]

As described above, according to the present invention, a P+ deriving region 40 and an N+ deriving region 41, and further, a P+ buried layer 39 and



an N<sup>+</sup> buried layer 33 are formed between the back gate 46 and the substrate 31. By connecting them to an output terminal 4, it is possible to prevent the parasitic transistors 22 and 23 from occurring due to reverse electromotive force of a coil load 4.

5 [0017]

In addition, since inevitably produced PN junction is buried as protective diode 46, the present invention has the advantage of reducing external components in number. Further, according to the second embodiment, since an inductive load L is returned to be in a stable state by  
10 working current of the parasitic transistor, the second embodiment has the advantage of enhancing the switching speed of the inductive load.



(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平10-107168

(43)公開日 平成10年(1998)4月24日

(51)Int.Cl.<sup>°</sup>

識別記号

F I

H01L 21/8249

H01L 27/06

321 A

27/06

101 U

21/8222

審査請求 未請求 請求項の数7 O L (全5頁)

(21)出願番号

特願平8-257100

(22)出願日

平成8年(1996)9月27日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 大池 博幸

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

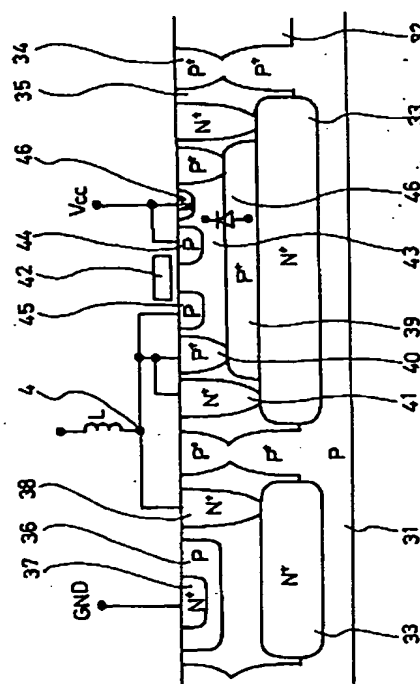
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 PchMOSFETの下部に高濃度層を具備することにより、NPNトランジスタとPchMOSFETとで相補対を形成したときの寄生トランジスタの問題を解消する。

【解決手段】 NPNトランジスタ2のコレクタ導出領域38を出力端子4に接続する。他の島領域35にPチャンネルMOS2を形成し、そのバックゲート46を、P+導出領域40とP+埋め込み領域39で囲み、更にその周囲をN+導出領域41とN+埋め込み層33で囲む。ドレイン領域45とP+導出領域40、およびN+導出領域41を出力端子4に接続するか、又はP+導出領域40を接地電位 (GND)、N+導出領域41を電源電位 (VCC) に接続する。これで出力端子4の電位がVCC以上、またはGND以下に引かれたときでも寄生トランジスタによる問題を防止する。



## 【特許請求の範囲】

【請求項 1】 一導電型の半導体基板と、

前記基板の上に形成した逆導電型のエピタキシャル層と、

前記エピタキシャル層を分離して複数の島領域を形成する一導電型の分離領域と、

前記島領域の前記基板の表面に埋め込み形成した逆導電型の埋め込み層と、

前記埋め込み層に重ねて埋め込み形成した一導電型の埋め込み層と、

前記島領域の表面から前記一導電型の埋め込み層に達する一導電型の領域と、

前記一導電型の領域と前記一導電型の埋め込み層とで囲まれた逆導電型の領域の表面に形成した、一導電型のソース・ドレイン領域およびゲート電極からなる出力トランジスタと、

前記出力トランジスタのドレイン領域を前記出力端子に接続する手段と、を具備することを特徴とする半導体集積回路。

【請求項 2】 前記ドレイン領域を前記一導電型の領域に接続し、且つ前記ドレイン領域を前記一導電型の領域と前記分離領域との間の前記島領域に接続したことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 前記一導電型の領域に最高電位を、前記一導電型の領域と前記分離領域との間の前記島領域に最低電位を各々印可したことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】 一導電型の半導体基板と、

前記基板の上に形成した逆導電型のエピタキシャル層と、

前記エピタキシャル層を分離して複数の島領域を形成する一導電型の分離領域と、

一つの島領域をコレクタとし、前記島領域の表面に形成した一導電型のベース領域をベースとし、該ベース領域の表面に形成した逆導電型のエミッタ領域をエミッタとする第 1 の出力トランジスタと、

他の島領域の前記基板の表面に埋め込み形成した逆導電型の埋め込み層と、

前記埋め込み層に重ねて埋め込み形成した一導電型の埋め込み層と、

前記他の島領域の表面から前記一導電型の埋め込み層に達する一導電型の領域と、

前記一導電型の領域と前記一導電型の埋め込み層とで囲まれた逆導電型の領域の表面に形成した、一導電型のソース・ドレイン領域およびゲート電極からなる第 2 の出力トランジスタと、

前記第 1 の出力トランジスタのコレクタを出力端子に接続する手段と、

前記第 2 の出力トランジスタのドレイン領域を前記出力端子に接続する手段と、を具備することを特徴とする半

導体集積回路。

【請求項 5】 前記ドレイン領域を前記一導電型の領域に接続し、且つ前記ドレイン領域を前記一導電型の領域と前記分離領域との間の前記他の島領域に接続したことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 6】 前記一導電型の領域に最高電位を、前記一導電型の領域と前記分離領域との間の前記他の島領域に最低電位を各々印可したことを特徴とする請求項 1 記載の半導体集積回路。

10 【請求項 7】 前記出力端子が誘導性の負荷に接続されることを特徴とする請求項 1 または 4 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コイル負荷のように逆起電力を発生する負荷を駆動するための出力トランジスタを内蔵した半導体集積回路に関し、その逆起電力による寄生効果の防止に関する。

【0002】

20 【従来の技術】モータドライバ用途の IC では、コレクタを出力端子とする NPN トランジスタを出力トランジスタの一方とし、該 NPN トランジスタと相補対をなすトランジスタを出力トランジスタの他方として、プッシュプル回路により駆動することが行われている。前記相補対をなすトランジスタとしては PNP トランジスタが用いられていたが、近年の高機能化により BiCMOS 型の集積回路を利用し、前記相補対をなすトランジスタとして P チャンネル型 MOSFET を利用することが行われてきた。

30 【0003】斯かる回路を図 4 に示す。同図において、1 は NPN 型の出力トランジスタ、2 は P チャンネル型の MOS トランジスタ、3 は出力端子 4 に接続されたコイル負荷、5 は P チャンネル型 MOS トランジスタ 2 のゲートに接続されたインバータ回路、6 は NPN トランジスタ 1 の駆動回路である。NPN トランジスタ 1 のコレクタは出力端子 4 に、エミッタは接地電位 GND に接続され、P チャンネル型 MOS 2 のソースが電源電位 VCC に、ドレインが出力端子 4 に接続されている。インバータ回路 5 等により P チャンネル MOS 2 と NPN トランジスタ 1 には逆相の制御信号が印可され、これにより P チャンネルトランジスタ 2 または NPN トランジスタの一方が ON し他方が OFF する事により、コイル負荷 3 に正方向または逆方向の電流を流してモータを正/逆方向に回転させるものである。

40 【0004】2 つの出力トランジスタの構成を図 5 に示す。11 は P 型の半導体基板、12 は N 型のエピタキシャル層、13 は N+ 埋め込み層、14 は P+ 分離領域、15 は分離領域 14 で区画されたエピタキシャル層 12 からなる島領域、16 は P 型のベース領域、17 は N+ エミッタ領域、18 は N+ コレクタ導出領域、19 はゲ



ート電極、20はソース領域、21はドレイン領域である。NPNトランジスタ1のコレクタ導出領域18とPチャンネルMOS2のドレイン領域21とが出力端子4に接続されて、コイル負荷3を駆動する。

#### 【0005】

【発明が解決しようとする課題】しかしながら、モータのようなコイル負荷では、モータの回転／停止に伴い逆方向起電力が発生し、出力端子4の電位がVCC電位より高く又はGND電位より低くなることが知られている。そのため、出力端子4がVCC電位より高くなった場合には、ドレイン領域21をエミッタ、PチャンネルMOS2の島領域15をベース、基板11をコレクタとする寄生PNPトランジスタが22が、出力端子4がGND電位より低くなった場合にはNPNトランジスタ1の島領域15をエミッタ、基板11（分離領域14）をベース、PチャンネルMOS2の島領域15をコレクタとする寄生NPNトランジスタ23が動作し、IC内部での誤動作や寄生サイリスタのトリガとなるなどの欠点があった。

#### 【0006】

【課題を解決するための手段】本発明は、上述した従来の課題に鑑み成されたもので、PチャンネルMOSのバックゲート部分を一導電型の埋め込み層と拡散領域とで取り囲み、更にその周囲を逆導電型の埋め込み層と拡散領域とで取り囲むことにより、寄生トランジスタの逆βを低減し、寄生効果の発生を抑制したものである。

【0007】また、基板に漏れ電流が生じないように寄生トランジスタを発生させる電位接続とすることにより、寄生効果の問題を解消したものである。

#### 【0008】

【発明の実施の形態】以下に本発明を図面を参照しながら詳細に説明する。図1は本発明の第1の実施の形態を説明するための断面図である。同図において、31はP型のシリコン半導体基板、32は基板31の上に気相成長法により形成したN型のエピタキシャル層、33は基板31表面に埋め込んで形成したN+型の埋め込み層、34はエピタキシャル層32表面から基板31まで達し、エピタキシャル層32を複数の島領域35に分離するP+型の分離領域、36は島領域35の表面に形成したNPNトランジスタ1のP型のベース領域、37はベース領域36表面に形成したN+型のエミッタ領域、38は島領域35表面からN+埋め込み層33に達するN+型のコレクタ導出領域、39はN+埋め込み層に重畳して形成したP+型の埋め込み層、40は島領域35表面からP+埋め込み層39に達するP+型の導出領域、41は島領域35表面からN+埋め込み層33に達するN+導出領域、42はPチャンネルMOS2のゲート電極、43はP+埋め込み層39とP+導出領域41とで囲まれたN型層からなるバックゲート、44はゲート電極42の脇に拡散形成したP型のソース領域、45は同

じくゲート電極42の脇に拡散形成したP型のドレイン領域、46はバックゲート用のN+コンタクト領域である。P+導出領域40はPチャンネルMOS2を完全に囲んでおり、P+埋め込み層と共にバックゲート43を電氣的に分離する。P+導出領域40の更に外側をN+導出領域41が取り囲んでいる。

【0009】図2の回路図に従い、IC上のアルミ電極配線によって、NPNトランジスタ1のエミッタ領域37は接地電位GNDに、PチャンネルMOS2のバックゲート用コンタクト領域46とソース領域44には電源電位VCCが印加される。NPNトランジスタ1のコレクタ導出領域38はIC上の出力端子4（ボンディングパッド）に接続され、PチャンネルMOS2のドレイン領域45、P+導出領域40、およびN+導出領域41が前記出力端子4に接続される。出力端子4は、パッケージ外部の接続リードに接続され、そしてセット側でコイル負荷3に接続されることになる。基板31と分離領域34には接地電位GNDが印加される。

【0010】図3で述べた寄生トランジスタ22は、分離領域34をベース、バックゲート43をコレクタとするので、本構造ではコレクタとベースとの間にP+導出領域40とN+導出領域41が位置することになる。これらP+導出領域40とN+導出領域41とは出力端子4に接続されてコレクタ導出領域35と同電位になるので、寄生トランジスタ22の発生を防止できる。

【0011】また図3で述べた寄生トランジスタ23は、バックゲート43をベース、基板31をコレクタとするので、本構造ではベースとコレクタとの間にP+埋め込み層39とN+埋め込み層33（横方向に考えればP+導出領域40とN+導出領域41）とが位置することになる。同じくP+埋め込み層39とN+埋め込み層33とは出力端子4に接続されてドレイン領域45と同電位になるので、寄生トランジスタ22の発生を防止できる。

【0012】加えて、バックゲート43とP+導出領域40／P+埋め込み層39とのPN接合がVCC電位と出力端子4との間に保護ダイオード46として接続されることになる。保護ダイオード46のPN接合は高濃度のアノード領域により順方向立ち上がり電圧V<sub>f</sub>の小さいPN接合とできるので、従来外付けだった保護ダイオードに代わりIC内蔵にできるだけの特性を持たせる事ができる。

【0013】図2は本発明の第2の実施の形態を説明するための断面図である。先の実施の形態と同一箇所には同一の符号を伏して説明を省略する。第1の形態が寄生トランジスタを発生させないような電位接続であったのに対し、第2の形態では基板31が関与しない寄生トランジスタを容認し、逆方向起電力のエネルギーをキャンセルするようにしてある。

【0014】具体的には、P+導出領域40に接地電位

(GND) を、N+導出領域 41 に電源電位 (VCC) を印加した。斯かる構成では、先ず出力端子 4 が接地電位 (GND) より低い電位に引かれたとき、NPN トランジスタ 1 の島領域 35 をエミッタ、分離領域 34 をベース、P チャンネル MOS 2 を形成した島領域 35 をコレクタとする寄生トランジスタが生じて、N+導出領域 41 から N+コレクタ導出領域 38 へ図示矢印 50 の経路で電流が流れる。この寄生電流により誘導性負荷 L の逆方向起電力のエネルギーを吸収する。反対に出力端子 4 が電源電位 VCC より高い電位に引かれたとき、P+導出領域をコレクタ、バックゲート 43 をベース、ドレイン領域 45 をエミッタとする寄生トランジスタが生じて、図示矢印 51 の経路で寄生電流が流れる。この寄生電流により誘導性負荷 L の逆方向起電力のエネルギーを吸収する。なお、集積回路内部では、PN 接合ダイオードより PNP 又は NPN トランジスタの方がスイッチング速度は速い。

【0015】従って、第 1 の形態に比べて、第 2 の形態では寄生トランジスタの電流により誘導性負荷 L を安定状態に復帰させるので、誘導性負荷のスイッチング速度をより高速にできるメリットがある。この時、P チャンネル MOS 2 から NPN トランジスタ 1 へ積極的に寄生電流を流すので、図 3 に示すように小信号回路のブロッ

クに対して、間に P チャンネル MOS 2 のブロックを、その隣に NPN トランジスタ 1 のブロックを配置するなどの設計手法を採ればよい。

【0016】

【発明の効果】以上に説明した通り、本発明によればバックゲート 46 と基板 31 との間に P+導出領域 40 と N+導出領域 41、P+埋め込み層 39 と N+埋め込み層 33 を形成し、これらを出力端子 4 に接続することにより、コイル負荷 4 の逆方向起電力に対して寄生トランジスタ 22、23 の発生を防止できる利点を有する。

【0017】加えて、不可避免的に生じる PN 接合を保護ダイオード 46 として内蔵できるので、外付け部品点数を減じることができる利点を有する。更に第 2 の実施の形態によれば、寄生トランジスタの動作電流により誘導性負荷を安定状態に復帰させるので、より高速スイッチングが可能である利点をも有する。

【図面の簡単な説明】

【図 1】本発明を説明するための断面図である。

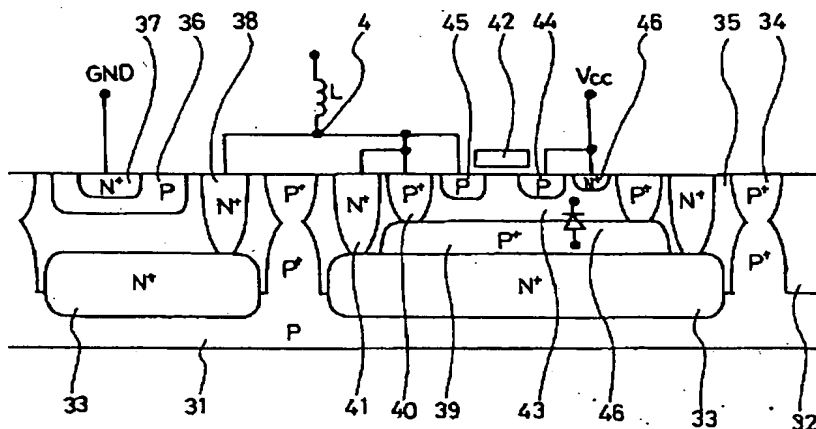
【図 2】本発明を説明するための断面図である。

【図 3】本発明を説明するための断面図である。

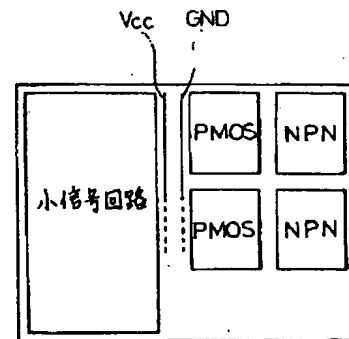
【図 4】従来例を説明するための回路図である。

【図 5】従来例を説明するための断面図である。

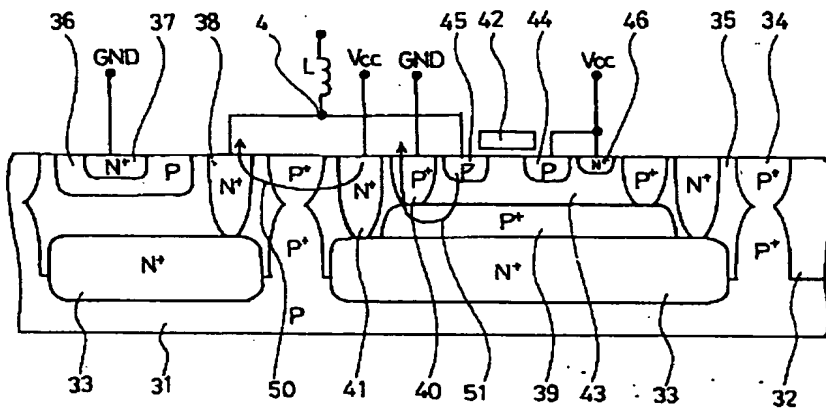
【図 1】



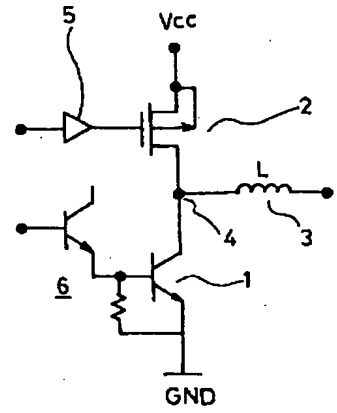
【図 3】



【図 2】



【図 4】



【図 5】

